

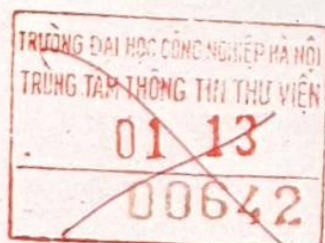
THIẾT KẾ LOGIC MẠCH SỐ

NGUYỄN THÚY VÂN



NHÀ XUẤT BẢN KHOA HỌC VÀ KỸ THUẬT

NGUYỄN THÚY VÂN



THIẾT KẾ LOGIC MẠCH SỐ

*Giáo trình cho sinh viên các trường đại học
In lần thứ 5 có sửa chữa*



NHÀ XUẤT BẢN KHOA HỌC VÀ KỸ THUẬT
HÀ NỘI 2005

LỜI NÓI ĐẦU

Thiết kế logic là một nhiệm vụ quan trọng trong quá trình thiết kế mạch số.

Sự phát triển như vũ bão của nền công nghệ vi điện tử với việc cho ra đời các vi mạch cỡ vừa (MSI), cỡ lớn (LSI) và cực lớn (VLSI) có khả năng lập trình ngày càng cao, giá thành ngày càng hạ đã làm cho *phương pháp thiết kế có những thay đổi đáng kể*: thiết kế dùng MSI, LSI khác hoàn toàn so với thiết kế dùng linh kiện rời hay các vi mạch cỡ nhỏ (SSI).

Mặt khác, nhiệm vụ của các nhà chuyên môn, các kỹ sư không chỉ là khai thác, sử dụng, phân tích các sơ đồ có sẵn mà còn phải thiết kế được mạch theo yêu cầu của thực tế. Việc *thiết kế* này không chỉ dựa vào kinh nghiệm mà cần phải giải quyết *một cách hệ thống* tiến đến tự động hoá quá trình thiết kế.

Cuốn sách này nhằm đáp ứng các yêu cầu đó và phục vụ cho chương trình đổi mới đào tạo ngành Điện tử - Tin học - Viễn thông của Bộ Giáo dục và Đào tạo.

Với 9 chương, 116 bài thiết kế có ứng dụng cụ thể trong thực tế, tài liệu này giúp cho người đọc hoàn chỉnh và bổ sung thêm những kiến thức lý thuyết (đã trình bày trong cuốn Kỹ thuật số - Nhà xuất bản Khoa học và Kỹ thuật - 1996) đồng thời nắm được các phương pháp thiết kế một cách có hệ thống. Bên cạnh các bài toán thiết kế thông thường, cuốn sách ưu tiên trình bày những bài toán thiết kế khó, mới, tài liệu tham khảo còn hạn chế như thiết kế mạch dây (không đồng bộ, đồng bộ), thiết kế dùng vi mạch lập trình mới,...

"Thiết kế logic mạch số" là giáo trình học tập cho sinh viên, đồng thời làm tài liệu tham khảo cho các nhà chuyên môn trong các ngành kỹ thuật Điện tử - Tin học - Viễn thông - Điều khiển - Đo lường...

Tuy đã dành thời gian thích đáng cho việc biên soạn quyển sách song chắc rằng vẫn còn nhiều thiếu sót. Tác giả sẽ hết sức cảm ơn các ý kiến đóng góp của các bạn đồng nghiệp và bạn đọc. Thư góp ý xin gửi về khoa Điện tử và Viễn thông trường Đại học Bách khoa Hà Nội hoặc nhà xuất bản Khoa học và Kỹ thuật, 70 Trần Hưng Đạo, Hà Nội.

Tác giả

MỤC LỤC

LỜI NÓI ĐẦU	3
Chương 1. ĐẠI SỐ BOOLE VÀ VI MẠCH SỐ	5
Khái niệm cơ bản	5
1.1 Hệ thống báo hiệu của một hội đồng giám khảo	8
1.2 Bảng giá trị của hàm	10
1.3 Hàm cộng modul và hàm tương đương	11
1.4 Chứng minh dùng bảng logic	12
1.5 Một số đẳng thức của hàm cộng modul và hàm tương đương	12
1.6 Quan hệ giữa hàm cộng modul và hàm tương đương	13
1.7 Xác định hàm phủ định	13
1.8 Chứng minh một số đẳng thức	13
1.9 Đơn giản biểu thức	14
1.10 Cho trước một biểu thức, chứng minh các quan hệ kéo theo	15
1.11 Xác định nghiệm của một hệ phương trình	16
1.12 Chứng minh đẳng thức theo một quan hệ cho trước	16
1.13 Biểu diễn hàm logic chỉ dùng AND, NOT hay OR, NOT	17
1.14 Mạch ra 3 trạng thái	17
1.15 Điện áp ra của vi mạch	18
1.16 Thiết kế mạch hai tầng AND/ OR	19
1.17 Thực hiện hàm logic dùng NAND (NOR)	19
1.18 Các phương án thực hiện hàm tương đương	20
1.19 Dùng cổng logic AND, OR hai đầu và thực hiện hàm logic	21
1.20 Thiết kế mạch dùng NAND hai đầu vào	21
1.21 Phân tích sơ đồ, thực hiện mạch dùng NOR hai đầu vào	22
Chương 2. TỐI THIỂU HOÁ HÀM BOOLE	23
Tối thiểu hoá theo phương pháp đại số	23
2.1 Tối thiểu hoá hàm 3 biến ở dạng chuẩn tắc tuyến (CTT), chuẩn tắc hội (CTH)	23
2.2 Tối thiểu hoá hàm 6 biến	24
2.3 Đơn giản một sơ đồ logic	24

2.4 Tối thiểu hoá, biểu diễn hàm ở dạng hàm cộng modul	25
Tối thiểu hoá dùng bảng Karnaugh	26
2.5 Xây dựng sơ đồ mạch thực hiện hàm bốn biến dùng AND/ OR, NAND	26
2.6 Tối thiểu hoá hàm xác định không đầy đủ. Xây dựng sơ đồ chỉ dùng NOR	27
2.7 Thực hiện các hàm chỉ dùng NOR	28
2.8 Dùng NAND thực hiện hàm tổ hợp xác định đầy đủ	29
2.9 Thiết kế hệ hàm tổ hợp xác định không hoàn toàn	31
Tối thiểu theo phương pháp Quine-Mc. Cluskey	34
2.10 Dùng biểu diễn mã nhị phân tối thiểu hoá hàm 5 biến	34
2.11 Tối thiểu hoá dùng biểu diễn ở dạng số thập phân	36
2.12 Thiết kế hệ hàm tổ hợp 5 biến xác định không hoàn toàn	38
Chương 3. MẠCH TỔ HỢP THÔNG DỤNG	41
Tóm tắt lý thuyết	41
3.1 Các bộ giải mã BCD $\rightarrow$ Dư 3 và ngược lại	42
3.2 Bộ giải mã BCD $\rightarrow$ 7 vạch	45
3.3 Mạch điều khiển ma trận hiển thị 3x5	47
3.4 Mạch tạo, kiểm tra tính chẵn lẻ	50
3.5 Mạch tạo mã Hamming cho từ mã BCD ở đầu phát ; mạch giải mã Hamming và sửa sai một lỗi ở đầu thu	50
3.6 Mạch so sánh 2 từ mã	51
3.7 Bộ cộng	52
3.8 Tạo tín hiệu ra theo đầu vào nhờ các tín hiệu điều khiển	54
Chương 4. CÁC PHƯƠNG PHÁP BIỂU DIỄN MẠCH DÂY	56
Mở đầu	56
4.1 Biểu diễn Otonat loại Mealy	59
4.2 Biểu diễn Otomat loại Moore	61
4.3 Xác định dãy trạng thái ra khi biết trạng thái ban đầu và dãy trạng thái vào	62
4.4 Giảm đồ dạng sóng của mạch dây	66
4.5 Xác định chức năng của Otomat nhờ ma trận chuyển đổi, véc tơ trạng thái trong và trạng thái ra	68
4.6 Phân tích hoạt động của mạch dây không đồng bộ	71

Chương 5. CÁC PHẦN TỬ NHỚ CƠ BẢN FLIP FLOP (FF)	73
Mở đầu	73
5.1 Điều kiện làm việc đồng bộ và không đồng bộ của các FF	74
5.2 Sơ đồ các loại FF : RS, RS ngược, chốt D	75
5.3 Phân tích sơ đồ của JK - FF loại chủ tớ	78
5.4 Hoạt động của FF điều khiển bằng sườn của xung nhịp	80
5.5 Quan hệ giữa các thời gian trễ để bảo đảm FF làm việc tin cậy	82
Chương 6. MẠCH DÂY KHÔNG ĐỒNG BỘ	87
Khái niệm cơ bản	87
Một số bài toán thiết kế	97
6.1 Thiết kế dùng mạch tổ hợp có hồi tiếp, RS-FF không đồng bộ, T-FF	97
6.2 Thiết kế dùng RS-FF	101
6.3 Thiết kế dùng RS-FF, T-FF	101
6.4 Thiết kế dùng mạch tổ hợp có hồi tiếp	105
6.5 Mã hoá tránh chạy đua dùng thêm biến trạng thái	108
6.6 Mã hoá tránh chạy đua dùng trạng thái giả	110
Thiết kế theo phương pháp hệ thống	112
6.7 Thiết kế bài 6.1 theo phương pháp hệ thống	112
6.8 Mạch phân biệt thứ tự xuất hiện của tín hiệu vào	116
6.9 Mạch phát hiện sự thay đổi giá trị của các tín hiệu vào	120
6.10 Mạch phát hiện lỗi	123
6.11 Mạch điều khiển bơm nước	126
6.12 Hệ thống báo hiệu ở ngã tư giữa đường quốc lộ và đường sắt	129
6.13 Điều khiển bật tắt đèn	133
6.14 Bộ điều khiển động cơ điện	135
6.15 Bộ báo chiều quay của trục	139
6.16 Mạch điều khiển nối với máy in số	142
6.17 Tạo dây xung	146
6.18 Mạch điều khiển cờ	150
6.19 Bộ phân loại cờ	152
6.20 Tạo xung đơn từ dây xung vào khi công tắc đóng	155

6.21 Bộ tạo xung đồng bộ	158
6.22 Bộ điều khiển hệ thống đèn giao thông	162
6.23 Mạch loại trừ nhiễu xung công tắc cơ khí	166
6.24 T-FF	168
6.25 D-FF	169
6.26 JK-FF	171
6.27 Xúc sắc điện tử	173
6.28 Bộ điều khiển trò chơi	177
Chương 7. MẠCH DÂY ĐỒNG BỘ	181
Một số bài toán thiết kế	181
7.1 Bộ cộng nhị phân thực hiện liên tiếp	181
7.2 Phát hiện dãy số nhị phân cho trước	183
7.3 Kiểm tra dãy số nhị phân theo từng nhóm	186
7.4 Tạo mã vòng CRC	188
Thiết kế theo phương pháp hệ thống	193
7.5 Bộ phân bổ xung	194
7.6 Bộ rút ngắn tần số xung	195
7.7 Tạo xung đơn từ dãy xung	197
7.8 Kiểm tra dãy xung theo nhóm 3 bit (bộ quét từ - Word Scanner)	198
7.9 Kiểm tra dãy xung (bộ quét dòng nhị phân - Binary String Scanner)	199
7.10 Bộ điều khiển máy đọc băng	201
7.11 Bộ hiển thị khi máy đọc băng ngừng hoạt động	203
7.12 Bộ điều khiển chế độ làm việc của rada	205
7.13 Mạch phát hiện mã BCD đưa liên tiếp ở đầu vào bị sai	207
7.14 Tạo bit lẻ cho mã BCD đưa liên tiếp ở đầu vào	208
7.15 So sánh 2 số BCD đưa vào liên tiếp	209
7.16 Điều khiển hệ thống bơm nước	212

Chương 8. BỘ ĐẾM VÀ GHI DỊCH	215
Mở đầu	215
Bộ đếm	216
8.1 Bộ đếm thập phân mã BCD dùng JK-FF	216
8.2 Thiết kế bộ đếm từ giản đồ thời gian	217
8.3 Phân tích hoạt động của sơ đồ	218
Bộ ghi dịch	220
8.4 Bộ ghi dịch hai chiều	220
8.5 Phân tích hoạt động của bộ ghi dịch có vòng phản hồi	221
8.6 Vẽ đồ hình trạng thái của bộ ghi dịch có hàm phản hồi là hàm cộng modul	223
8.7 Thiết kế bộ đếm dùng bộ ghi dịch	224
8.8 Tạo tín hiệu điều khiển cho hệ thống đèn quảng cáo dùng bộ ghi dịch	226
Chương 9. THIẾT KẾ DÙNG VI MẠCH MSI, LSI	228
Thiết kế dùng MUX	228
9.1 Tạo hàm logic	229
9.2 Giải mã BCD - 7 vạch	231
9.3 Dùng MUX 4-1 tạo hàm 3 biến	234
9.4 Dùng các MUX 4-1 tạo hàm 5 biến	235
Thiết kế dùng DEMUX, DECODER và các MSI khác	237
9.5 Tạo bit chẩn lẻ cho dữ liệu dùng DEMUX và các mạch NAND	237
9.6 Dùng DECODER và mạch NOR tạo hàm logic	238
9.7 Dùng bộ cộng nhị phân bốn bit 7483 thực hiện chức năng giải mã nhị phân --> dư ba và ngược lại	240
Thiết kế dùng ROM, PLA	241
9.8 Dùng ROM thiết kế mạch báo mã N-BCD ở đầu vào sai	241
9.9 Thực hiện hàm logic dùng PLA	244
Thiết kế dùng PAL, GAL	252
9.10 Bộ dồn kênh 8-1 dùng PAL, GAL loại 16V8	253
9.11 Bộ đếm nhị phân tám bit dùng PAL, GAL	255
9.12 Bộ chia tần điều khiển được hệ số chia dùng PAL, GAL	257
TÀI LIỆU THAM KHẢO	260